

用于多电压域设计的双向全摆幅电平转换器

哈继欣,高玉竹

(同济大学电子与信息工程学院,上海 200083)

摘要: 提出了一种无静态漏电流的高性能电平转换器. 与现有的电平转换器不同,此设计能够在无静态功耗的情况下,将阈值电压转换为全摆幅输出,只要输入电平高于输出端电压域的NMOS的阈值电压即可正常工作,并且具有更短的传播延时和更低的动态功耗. 此设计具有通用性,其电平转换范围仅受限于半导体工艺. 针对40 nm工艺实现了该电平转换器电路,并且用SPICE模型进行了仿真. 仿真结果显示:该电平转换器能够在无静态功耗的情况下,将0.9 V的输入电平转换为输出端电压域的工作电平1.8 V,传播延时仅为200 ps.

关键词: 超大规模集成电路; 40 nm; 多电压域; 电平转换器

中图分类号: TN 432 **文献标识码:** A **文章编号:** 1000-5137(2012)05-0466-04

随着半导体工艺的不断进步,更高的集成度使复杂的“片上系统(SoC)”成为可能. 这就意味着在一个芯片上可能集成了一个系统的全部模块,比如数字电路、模拟电路及其他的被动元件等等. 在一个典型的片上系统中,为了得到最优的性能功耗比,不同的模块工作在不同的电压下,即使在单纯的数字电路中,也很可能拥有两个或者两个以上的电压域^[1]. 对于芯片上不同模块、不同电压域的通信,能够将电平从输入电压域工作电压转换到输出电压域工作电压的电平转换器就变得必不可少. 随着集成电路规模和功耗的不断提升,能够根据实时负载情况达到在性能和功耗之间最优平衡的“电压和频率动态缩放技术(dynamic voltage and frequency scaling)”得到越来越广泛的使用. 于是这对电平转换器提出了新的要求,电平转换器不仅要能够在特定的电压之间进行转换,还要拥有比较宽的电压转换范围;并且拥有双向转换的能力,不仅能够从低电压转换到高电压,也能够从高电压转换到低电压.

1 现有的电平转换器设计

1.1 传统电平转换器

传统电平转换器的电路如图1所示.

当输入电平为 v_{ss} 时, MN1 截止,输入信号经过反相器后使 MN2 导通,因此,电平转换器的输出端 out 的电压被 MN2 下拉至 v_{ss} ,而 $outb$ 被 MP1 充电至 v_{dda} ,最后, MP2 被关断,在 v_{dda} 与 v_{ss} 间不存在漏电流. 同样地,当输入电平为 v_{dd} 时, MN1 导通而 MN2 截止, MN1 将 $outb$ 下拉至 v_{ss} ,输出端 out 被 MP2 充电至 v_{dda} ,最后, MP1 被关断,在 v_{dda} 与 v_{ss} 之间也不存在漏电通路(本文作者所指的漏电或静态功耗并非指通常所说的由反向 pn 结漏电或栅

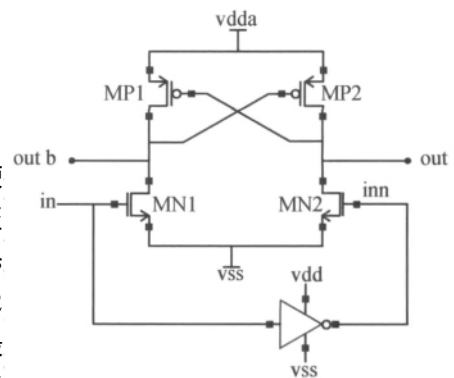


图1 传统电平转换器

收稿日期: 2012-09-12

作者简介: 哈继欣(1987-),男,同济大学电子与信息工程学院硕士研究生;高玉竹(1976-),女,同济大学电子与信息工程学院教授.

氧漏电引起的静态功耗, 而是指低电压域信号跨电压域时无法完全关断高电压域的 PMOS 所引起的漏电)。

较高的动态功耗是传统电平转换器最大的缺点。当输入信号处于上升沿而输出端电平仍然处于 v_{ss} 时, MP1 和 MN1 同时导通, v_{dda} 与 v_{ss} 之间的短路电流将非常可观。然而, 若试图通过减小传播延时来缩短 MP1 和 MN1 同时导通的时间, 就不得不增大 MN1 的宽长比来使 MP2 更快导通, 使 MP1 更早关断, 但更宽的 MN1 却会导致 v_{dda} 和 v_{ss} 之间更大的短路电流。减小 MP1 的宽长比也不是一个有效的方法, 因为上拉能力更弱的 MP1 会增大下降沿的延时, 最终仍无法降低动态功耗。

1.2 带威尔逊电流镜的电平转换器

Lütke-meier 和 Rückert 在 2010 年提出了一个带有威尔逊电流镜的电平转换器设计^[2], 电路图如图 2 所示。

无论输入端 A 的电平处于 v_{ss} 还是 v_{ddL} , 节点 V1 都处于高电平, 因此, 此设计的确能够将短路电流限制到比较理想的范围。然而, 电流镜结构同样限制了输出端的电压摆幅。当 V1 被充电至接近 v_{ddH} 时, M6 和 M7 就会被关断, 输出端 Z 就无法达到全摆幅电压^[3], 这将降低其扇出网络的噪声容限。而且, 当输出端电容负载比较大时, 这一缺陷将变得尤为明显。

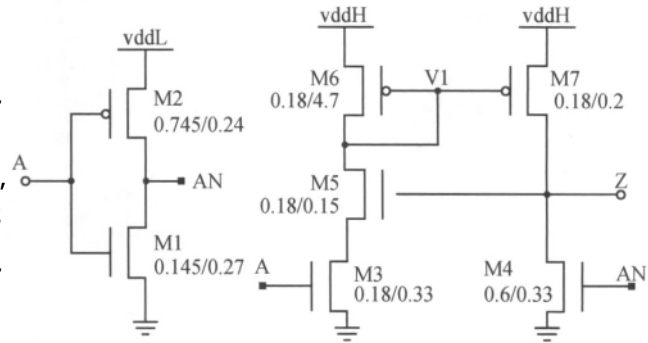


图 2 带威尔逊电流镜的电平转换器

3 电平转换器设计

本文作者提出的电平转换器设计如图 3 所示。

当输入端电平处于 VDD_{in} 时, MN0 截止, MP1 导通, 通过适当地调整 MN2 和 MP3 的宽长比, 就能够将 MP0 的栅极电压下拉至足够低的水平, 从而使 MP0 导通。在 VDD_{out} 和 MP3 之间插入 MP2 的作用在于限制上升沿的短路电流, 减弱 MP2 和 MP3 组成的上拉网络的上拉能力, 从而间接加快 MP0 的导通。输出端电平被充至 VDD_{out} 后, MP3 完全截止, 消除了 VDD_{out} 与 VSS 之间的静态电流。当输入端电平处于 VSS 时, MN2 截止, MP2 导通。通过适当调整 MN0 和 MP0 的宽长比, 就能够将输出端电压下拉至足够低的水平, 使 MP3 导通。在 MP0 的漏极和输出端之间插入 MP1 的作用同样是限制下降沿的短路电流、减弱 MP0 和 MP1 组成的上拉网络的上拉能力, 从而间接加快 MP3 的导通。MP3 导通后, MP0 被关断, 消除了 VDD_{out} 与 VSS 之间的静态电流。

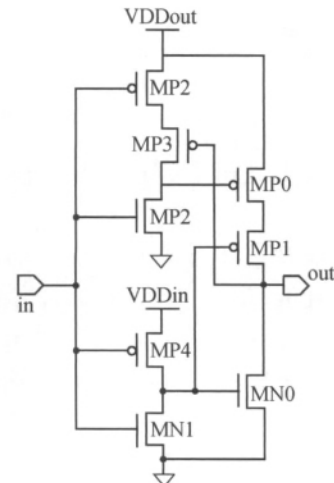


图 3 电平转换器设计图

由反馈信号控制的 MP0 和 MP3 消除了电平转换器的静态功耗, 并且通过引入限流 PMOS - MP1 和 MP2, 该电平转换器拥有更低的动态功耗和更小的传播延时, 只要输入信号的电压高于 MN2 和 MN0 的阈值电压, 通过适当地调整 MN2 和 MP3 的宽长比, 以及 MN0 和 MP0 的宽长比, 分别在上升沿和下降沿时将 MP0 和 MP3 的栅极电压下拉至足够低的水平, 该电平转换器即可正常工作。

4 仿真结果

4.1 低电平至高电平转换的仿真

用 40 nm 工艺和 SPICE 模型对所提出的电平转换器进行了仿真, 仿真参数如下:

$VDD_{out} = 1.8\text{ V}$, $VDD_{in} = 0.9\text{ V}$, $VSS = 0\text{ V}$, $W/L(MN0) = 400/36\text{ nm}$, $W/L(MN1) = 108/40\text{ nm}$, $W/L(MN2) = 200/36\text{ nm}$, $W/L(MP0) = 347/36\text{ nm}$, $W/L(MP1) = 347/36\text{ nm}$, $W/L(MP2) = 108/36\text{ nm}$, $W/L(MP3) = 108/36\text{ nm}$, $W/L(MP4) = 130/36\text{ nm}$, $\rho_{output\ load} = 40\text{ fF}$. 仿真结果如图4所示.

仿真结果显示,一个频率500 MHz、电压为0.9 V的方波加载到输入端,经过电平转换后,在输出端得到了一个电压为1.8 V的全摆幅方波信号.

作为对比,图5为传统电平转换器的仿真结果,仿真参数如下: $VDD_{out} = 1.8\text{ V}$, $VDD_{in} = 0.9\text{ V}$, $VSS = 0\text{ V}$, $W/L(MN1) = 216/36\text{ nm}$, $W/L(MN2) = 400/40\text{ nm}$, $W/L(MP1) = 108/36\text{ nm}$, $W/L(MP2) = 240/36\text{ nm}$, $\rho_{output\ load} = 40\text{ fF}$.

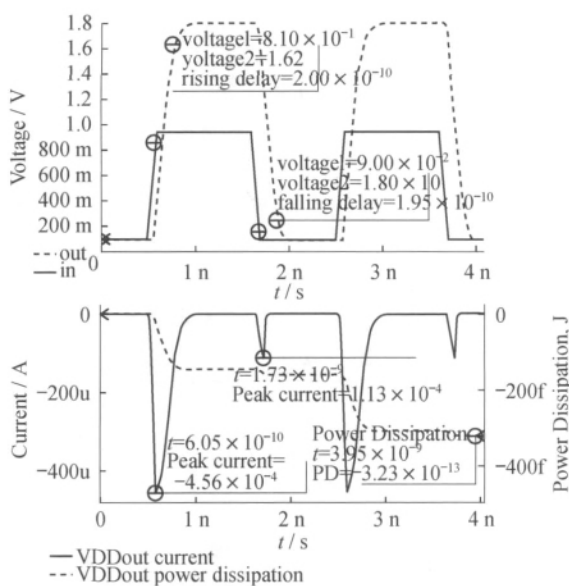


图4 0.9 V 转换至 1.8 V 的仿真结果

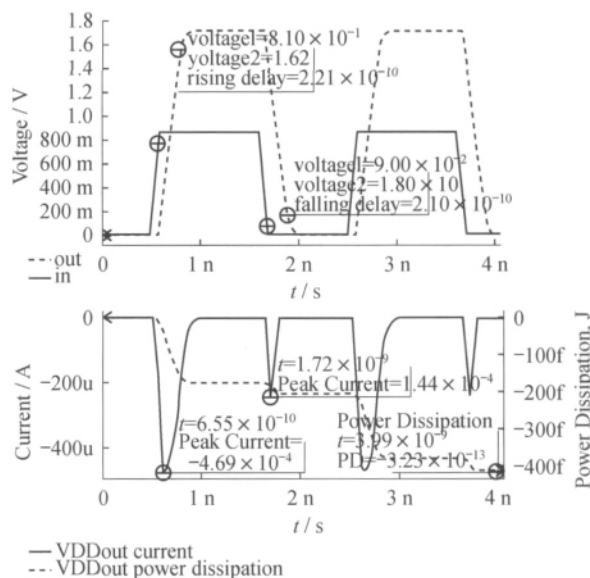


图5 传统电平转换器 0.9 V 转换至 1.8 V 仿真结果

表1列出了两种电平转换器的仿真结果对比.

结果显示,本文作者提出的电平转换器不仅拥有更短的传播延时,而且节省21.6%的动态功耗.值得一提的是,这一优势在电压跨度较小的电平转换中将更加明显,动态功耗甚至能节省30%以上.图6为两种电平转换器进行0.8~1.0 V电平转换时的功耗对比.

表1 0.9 V 转换至 1.8 V 仿真结果对比

性能指标	传播延时/ps		峰值电流/mA		平均功率/W
	上升沿	下降沿	上升沿	下降沿	
设计的电平转换器	200	195	456	113	80.75
传统电平转换器	221	210	469	244	103.0

4.2 高电平至低电平转换仿真

1.8~0.9 V 电平转换的仿真结果如图7所示.

仿真结果显示,从高电压域至低电压域的电平转换同样正常工作,且无静态漏电流产生.

5 结论

本文作者提出了一种新的高性能 CMOS 电平转换器,在没有静态功耗的前提下,具有进行双向、全摆幅电平转换的能力.仿真结果显示该电平转换器拥有比较宽的电平转换范围,与现有的电平转换器相比,具有更小的传播延时和更低的动态功耗(某些情况下可节省30%动态功耗),这在当前主流的低功耗设计中将会是非常巨大的优势.

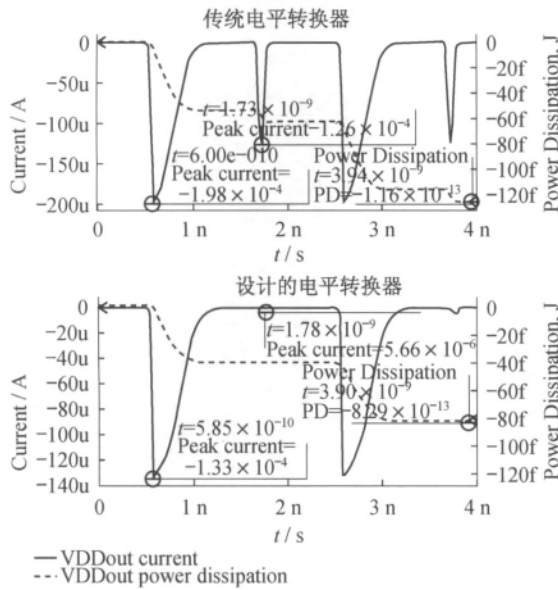


图 6 0.8 ~ 1.0 V 转换时的功耗对比

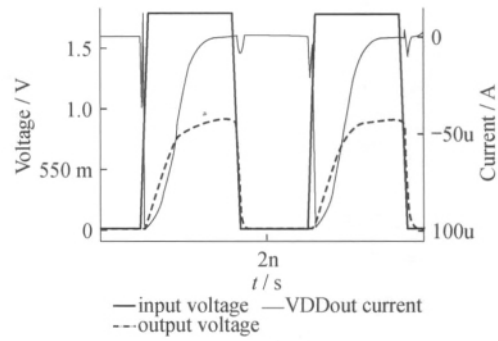


图 7 1.8 ~ 0.9 V 电平转换的仿真结果

参考文献:

[1] CHANG J M , PEDRAM M. Energy minimization using multiple supply voltages [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems ,1997 ,5(4) :436 - 443.

[2] LÜTKEMEIER S , RÜCKERT U. A subthreshold to above-threshold level shifter comprising a wilson current mirror [J]. IEEE Transactions on Circuits and Systems II: Express Briefs 2010 ,57(9) :721 - 724.

[3] ALLEN P E , HOLBERG D R. CMOS analog circuit design [M]. 2nd edition. Oxford: Oxford University Press ,2002.

A threshold to full swing bidirectional level shifter for multi-voltage system

HA Ji-xin , GAO Yu-zhu

(Institute of Electronics and Information , Tongji University , Shanghai 200083 , China)

Abstract: This paper presents a high performance level shifter with null static leakage current. Unlike the existing level shifter circuits , the proposed level shifter can shift threshold voltage level to full swing level without any static power consumption as long as the input signal level is higher than the threshold voltage of NMOS in output power domain. Moreover , the proposed level shifter has shorter propagation delay and consumes less dynamic power than existing designs. The proposed circuit is generic in nature and the range of shifting level is limited only by the scope of the semiconductor process. The proposed level shifter is designed in 40nm CMOS technology and simulated in SPICE. The simulation results show that the proposed level shifter circuit is able to shift 0.9 V of input level to 1.8 V of operating voltage of the output domain 200 ps propagation delay and null static power consumption.

Key words: VLSI; 40 nm; multi-voltage designs; level shifter

(责任编辑: 包震宇)