

基于窗结构和巴切奇偶排序的中值滤波器硬件设计与实现

孙凯旻, 王亮, 顾美康

(上海师范大学 信息与机电工程学院, 上海 200234)

摘要: 数字电路设计中值滤波器时, 面积和速度上的考虑非常重要. 面积上要求使用的逻辑资源尽可能少; 速度上则要求系统能在较高时钟频率上工作, 并用尽可能少的时钟周期完成1帧滤波或进行实时滤波. 设计的新型中值滤波器的硬件结构为带2个Buffer的3窗结构, 并用奇偶排序网络作为滤波器功能逻辑模块的理论依据, 在FPGA平台上进行结构设计, 使用ModelSim仿真验证了结果, 最后实现了视频图像滤波. 实验分析表明, 设计的新型结构滤波器不但使用的逻辑资源较少, 仅用了741个逻辑单元(LE), 而且处理速度达到27 MHz/像素, 实现了对视频图像的30帧/s实时处理. 设计不仅具有一定的实用性, 也为数字图像处理的硬件结构设计思路提供了参考.

关键词: 中值滤波器; FPGA; 数字图像处理; 奇偶排序网络

中图分类号: TP 391. 41 **文献标识码:** A **文章编号:** 1000-5137(2013) 03-0271-06

0 引言

数字图像处理领域中, 非线性中值滤波器的应用非常广泛. 在进行图像识别、视频跟踪等工作之前一般都会用中值滤波器进行图像预处理, 因为它能有效消除椒盐噪声, 并不会使边界区域模糊过大. 中值滤波器一般是用通用计算机和软件来实现的, 然而由于传统处理器串行结构的局限性, 随着视频图像分辨率的不断提高, 对滤波处理速度的要求也越来越高, 因此这种方式已经越来越不能满足实时性的要求. 另外专用芯片设计周期长、成本高、而且灵活性差, 因此也不适合用来专门进行图像滤波工作. 现场可编程门阵列(FPGA)以其可编程性和并行计算结构的特点, 成为了实现滤波处理的理想工具^[1].

利用FPGA进行数字图像处理中值滤波的研究文献较多. 如文献[2]提出一种快速排序法的新算法, 用于滤波器的功能逻辑模块. 该算法为比特串行滤波算法(Bit serial median algorithm), 并在此基础上扩展并结合权重法和优先级次序法. 如果对 N 个像素值进行处理, 这种算法复杂度为 $O(N)$, 与冒泡排序法(Bubble Sort) $O(N^2)$ 的复杂度相比, 所占用的逻辑资源大大减少. 然而在XC4010E-1 FPGA芯片实现后, 处理速度相对较慢, 图像处理速度仅仅为25帧/s. 文献[3]实现了向量中值滤波器, 并组成了图像滤波系统. 该系统使用Stratix EP1S40F780C5 FPGA芯片, 处理速度达到80 MHz/像素, 然而缺点是需硬件设计结合软核处理器, 因此所占逻辑资源较多.

本文作者以进一步权衡逻辑资源和处理速度为目标, 利用Altera EP2C70 FPGA硬件平台设计了基于窗结构和巴切奇偶排序的中值滤波器并搭建了系统结构. 文章第1章介绍了中值滤波器和巴切奇偶

收稿日期: 2012-12-14

作者简介: 孙凯旻(1987-), 男, 上海师范大学信息与机电工程学院硕士研究生; 顾美康(1954-), 男, 上海师范大学数理学院副研究员.

排序的概念;第2章阐述了滤波器硬件结构设计思路,具体而言即扫描模块和滤波器功能模块,前者完成对视频信息的输入工作,后者对视频信号作排序处理工作,作者分别使用窗结构和巴切奇偶排序来完成2个模块的搭建.之后给出滤波器在 ModelSim 上仿真波形图验证了结果,并针对滤波效果图进行分析;第3章提出了可进一步改进结构的想法;第4章总结全文.

1 理论背景

1.1 中值滤波器

中值滤波器是一种基于统计排序的非线性滤波器.它的响应是滤波器掩膜所包围的图像区域中各个像素从小到大排序后的中间值.中值滤波器的使用非常普遍,这是因为对于一定类型的随机噪声,它的去噪声能力非常优秀,比小尺寸的线性平滑滤波器的模糊程度明显要低.中值滤波器对处理脉冲噪声(椒盐噪声)非常有效,这种噪声是黑白点叠加在图像上而形成的^[4-5].

假设一个数值集合的中值为 ℓ ,则有一半元素的值小于或等于 ℓ ,还有一半元素的值大于或等于 ℓ .中值滤波处理时,必须先设定掩膜,然后将掩膜内的像素按大小排序,确定出中值,并将中值赋予新像素点.

本文作者设计的是一个3中值滤波器,掩膜内共包括9个像素,可以用下式表示滤波:

$$\ell = \text{middle}\{Z_k | k = 1, 2, 3, \dots, 9\}. \quad (1)$$

式(1)中: ℓ 表示新像素点的值, Z_k 表示掩膜内各个像素点的值,middle运算表示排序后取中值.

1.2 巴切奇偶排序

巴切排序网络本质上是一个非线性排序算法,由一系列巴切比较器构成.巴切排序网络理论有2个分支:巴切奇偶排序网络(Batcher's Odd-Even Sort Network)和巴切双调排序归并网络(Batcher's Bitonic Sort Network),本设计的滤波功能逻辑模块使用前者.使用巴切奇偶排序能大大降低比较器的数量,从而减少逻辑资源的使用.

巴切奇偶排序网络数学理论基于 Knuth 0-1 原理,由巴切比较器构成.其8元排序网络排序过程如图1所示.

由图1可以看出8元巴切奇偶排序网络排序过程是,先将8个元素分为2组,每组4个元素,对这2组进行并行4元巴切奇偶排序,然后对这两个排序后的序列做归并得到最终8元奇偶排序网络.

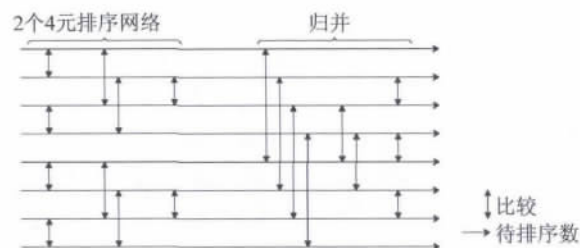


图1 8元巴切奇偶排序网络排序过程

2 硬件结构设计

2.1 系统结构

为在 FPGA 硬件上实现作者设计的中值滤波器,设计并搭建以下系统平台:

视频信号从 CCD 摄像头通过 AV 输入接口进入,此时信号还是模拟的,需要使用 ADV7180 芯片对其进行模数转换.I2C_AV 配置模块对 ADV7180 芯片进行适当配置后能对模拟信号识别并解码成 8 位 4:2:2 分量视频数据.

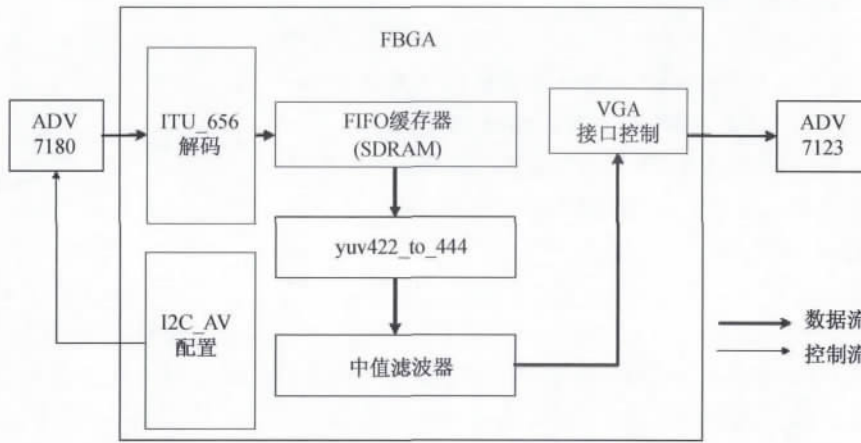


图2 基于FPGA的中值滤波器系统架构

随后视频图像数据流进入 SDRAM 进行存储. 使用 SDRAM 作为缓存的主要目的在于整合奇偶场, 这是因为 NTSC 制式是隔行扫描, 每一场只包括奇数行或者是偶数行的视频图像数据. 缓存后再从缓存器中提取完整的帧图像, 以供后续模块处理使用.

经过分量转换后, 提取其中的 Y 灰度分量, 送入中值滤波器进行处理. 作者设计视频图像的采集、显示等工作都是以 27 MHz/像素的速度进行的, 因此要求中值滤波器有同样速率的处理能力, 并尽量减少逻辑资源的使用.

另外视频图像经过模数转换后分辨率为 480, 每秒需处理 30 帧图像, 因此每秒处理像素数为 $640 \times 480 \times 30 = 9.216 \times 10^6$, 因此中值滤波器工作在 27 MHz 时钟频率上完全能满足实时性的要求.

2.2 图像扫描模块硬件设计

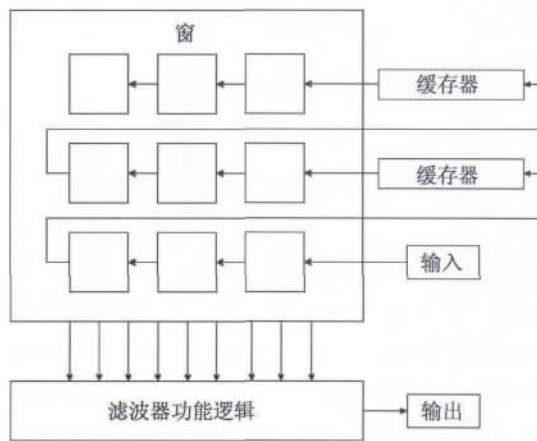


图3 空域滤波器窗结构

数字电路设计空域滤波器主要有两个方面模块需要考虑: 一个是图像扫描模块, 另一个是滤波器功能逻辑模块. 本节介绍图像扫描模块的硬件结构. 设计中扫描方式是从第 1 行第 1 列的第 1 个像素开始, 由左到右读入 1 行像素值后再读取后面 1 行的像素值, 直到整幅图像所有像素值都读入.

根据扫描方式, 设计的扫描模块的硬件结构为窗结构, 包括 9 个寄存器, 用来存储 9 个相邻区域的像素值. 每个时钟上升沿来临时, 9 个寄存器更新存储的像素值, 提供给滤波器功能模块完成计算.

在扫描过程中, 需要考虑 1 个区域相邻的 9 个像素. 用空域滤波器扫描 1 行时, 必须提取上 2 行对应列位置的像素值, 因此需要使用缓存器存储当前行像素值, 以提供给下 2 行扫描时使用.

2.3 双口 FPGA 的 FIFO 的设计

利用 FPGA 内部存储资源,设计了具有 FIFO 数据结构的缓存器模块用于存储行像素值.该模块按输入顺序依次存储数据,读数据时按先进先出的原则读取.模块引脚如图 4 所示.

当输入时钟 clk 上升沿来时,若时钟使能信号为高,并且写使能信号为高时,就将输入数据 $data_in$ 存入缓存器;如果读使能信号为高,便将数据从 $data_out$ 读出,在处理时读入和读出可以同时进行.设计的模块还包括 $full$ 与 $empty$ 状态信号,用来监控存储器使用情况,然而设计 1 次存储数据量不会超出存储空间,因此无需引出这 2 个状态信号引脚.

该模块内部有 2 个地址计数寄存器,分别记录读地址与写地址.每进行 1 次读或写,对应地址寄存器的值就加 1,因此能实现先进先出的功能.当 2 个地址寄存器的值相等时,说明已读完缓存器内全部数据,因此为空;当 2 个地址寄存器值的差为存储器地址最大值,说明数据已存满整个存储器.

当读或写地址达到最大值,并要读取或写入下一个值时,地址计数器又回到 0 并重新开始计数.由于系统设计时已经使一次存储的数据不会超过存储空间,因此无需考虑写入的新值会覆盖有用的旧值的情况.

2.4 滤波器功能逻辑模块

滤波器功能模块借鉴奇偶排序进行逻辑设计,给出中值.本设计将需要排序的像素值先分为 3 组,每组 3 个元素先进行排序.完成之后再按照每组的 min 、 $median$ 和 max 再分成 3 组,进行排序.接下来取 min 组的最大值、 $median$ 组的中间值和 max 组的最小值进行排序,排序后的中间值即为所求的中值.具体操作步骤举例如表 1 所示.

表 1 滤波器功能模块工作步骤

步骤	指标	第一组			第二组			第三组		
1	像素极值	max: 7	median: 6	min: 3	max: 8	median: 4	min: 1	max: 9	median: 5	min: 2
2	像素极值	-	min: 7	-	-	median: 5	-	-	max: 3	-
3	中值	-	-	-	-	median: 5	-	-	-	-

3 实验结果

实验平台采用装有 Alter 公司 Cyclone II FPGA 的 DE2-70 开发板,通过 Quartus II 并使用 verilog 语言进行硬件编程;编写 TestBench 并用 ModelSim 仿真,得到如图 5 的实验波形图结果.

由波形图 5 可以看出 $filter_en$ 使能信号为 1 时,滤波器开始工作,工作频率即时钟频率为 27 MHz.实验中假设输入数据流为 1、2、3... ,可以看到滤波器内部产生像素位置坐标值 ($pixel_X$ $pixel_Y$),程序中可以设置需要处理的图像的行列数变量. Buffer 写使能 $wren$ 在开始读第 1 个像素时就设置为高电平,将第 1 行像素存入,在第 2 行像素开始读入时读使能 $rden$ 置位,读出第 1 行的像素值,另一个 Buffer 工作也同理.从波形图中可以看到窗内 9 个像素寄存器的值, $data_out$ 是将 9 个像素值进行排序后的中值,可以看到输出的值确实是 9 个值的中值,工作正常.

另外通过 Quartus II 的 Compilation Report 可以看出滤波器只使用了 741 个逻辑资源.由滤波效果图(图 7)可见,滤波器减少了视频图像的椒盐噪声.由于滤波器窗较小,部分噪声肉眼很难分辨,然而对于后续其他数字图像处理工作来说,微小颗粒噪声的减少具有非常重要的意义.

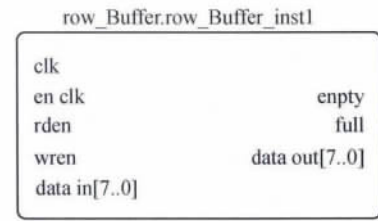


图 4 缓存器模块

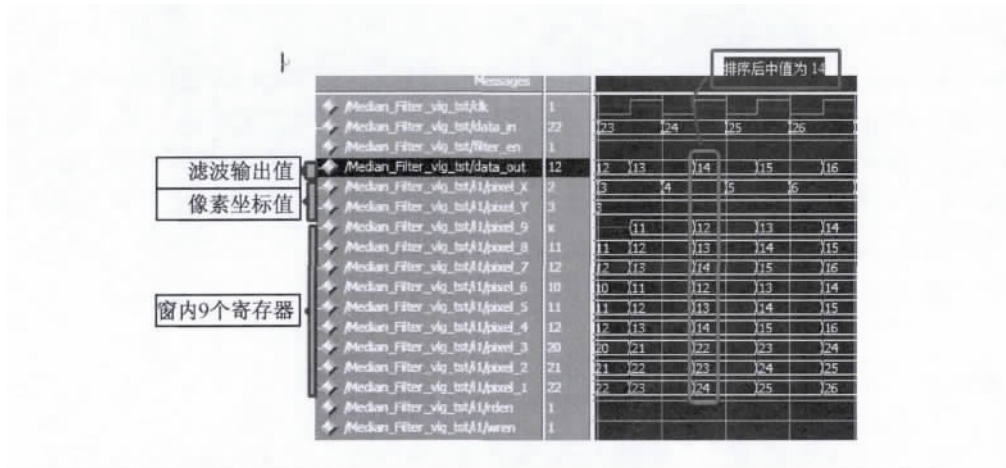


图 5 ModelSim 仿真结果

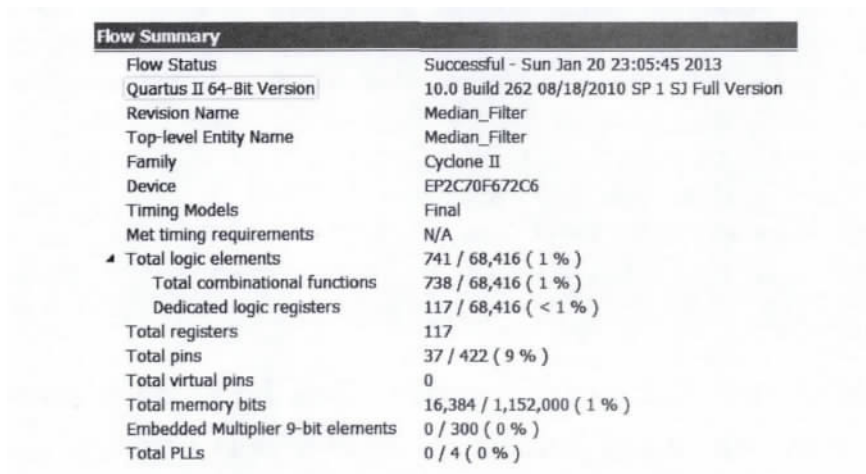


图 6 逻辑资源使用情况

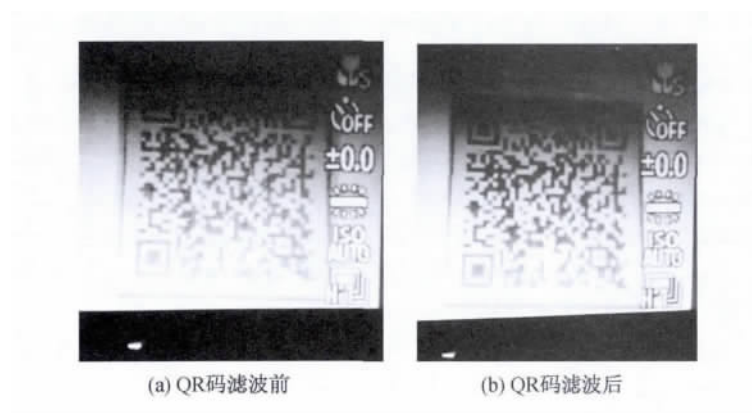


图 7 滤波效果图

4 总 结

本文作者首先介绍了相关理论背景,随后在 FPGA 中设计并实现了中值滤波器.主要介绍了整个系统的架构,中值滤波器架构以及仿真实现和滤波效果图.系统主要由输入输出控制模块、FIFO、格式转换相关模块和中值滤波器模块组成,中值滤波器由扫描模块和功能逻辑模块组成.实验数据符合设计要

求,达到了节约逻辑资源和加快处理速度的目的.

图像滤波的器的硬件设计在占用资源和速度上想要得到进一步的改进,还需要在滤波器的扫描模块结构和滤波器功能逻辑模块所使用的算法上进行深入研究分析.如扫描结构上可以将窗加大成3结构,用2个功能逻辑模块并行计算,加快处理速度.也可以将窗做成4结构进行垂直扫描,不但加快速度,对Buffer大小要求也得到降低;滤波器功能模块的改进主要是对排序算法上的优化来实现,可以使用多个周期进行排序处理,以降低逻辑资源的使用.也可以使用排序寄存器的方法,即当新像素加入窗时,它与窗内每个像素值都进行比较,来决定并调整它在窗内的位置^[6-8].

参考文献:

- [1] BAILEY D G. Design for embedded image processing on FPGAs [M]. Singapore: Wiley-IEEE Press 2011.
- [2] BENKRID K ,CROOKES D ,BENKRID A. Design and implementation of a novel algorithm for general purpose median filtering on FPGAs [C]//International Symposium on Circuits and Systems ,Phoenix Arizona: IEEE Press 2002.
- [3] BOUDABOUS A ,BEN A ,KADIONIK P ,et al. HW/SW FPGA implementation of vector median filter [C]//Proceedings of the 2007 Ph. D Research in Microelectronics and Electronics Conference ,Bordeaux: IEEE Press 2007.
- [4] 吴玉莲. 图像处理的中值滤波方法及其应用 [D]. 西安: 西安电子科技大学 2006.
- [5] 宋洋. 图像处理的中值滤波算法优化与实现 [D]. 北京: 北京邮电大学 2001.
- [6] 汤亚玲, 秦锋. 高效快速排序算法研究 [J]. 计算机工程 2011, 37(6): 77-78.
- [7] 秦玉平, 马靖善. 一种改进的计数排序算法 [J]. 渤海大学学报 2010, 31(2): 174-176.
- [8] 汪红, 田莎莎, 丁林. 基于FPGA的图像中值滤波器设计 [J]. 微型机与应用 2012, 31(13): 46-48.

Hardware design of the median filter based on window structure and batcher's odd-even sort network

SUN Kaimin ,WANG Liang ,GU Meikang

(College of Information ,Mechanical and Electrical Engineering ,Shanghai Normal University ,Shanghai 200234 ,China)

Abstract: Area and speed are two important factors to be considered in designing Median Filter with digital circuits. Area consideration requires the use of logical resources as little as possible ,while speed consideration requires the system capable of working on higher clock frequencies ,with as few clock cycles as possible to complete a frame filtering or real time filtering. This paper gives a new design of Median Filter ,the hardware structure of which is a 3×3 window structure with two buffers. The filter function module is based on Batchers' Odd-Even Sort network theory. Structural design is implemented in FPGA ,verified by ModelSim software and realizes video image filtering. The experimental analysis shows that this new structure of Median Filter effectively decreases logical resources (merely using 741 Logic Elements) ,and accelerates the pixel processing speed up to 27MHz. This filter achieves real-time processing of video images of 30 frames/s. This design not only has a certain practicality ,but also provides a reference for the hardware structure design ideas in digital image processing.

Key words: median filter; FPGA; digital image process; batcher's odd-even sort network

(责任编辑: 包震宇)